

Modelagem e implementação de métodos em Hardware para teste numérico da conjectura de Collatz.

Gabriel Bonani Machado*

Resumo

O presente trabalho de iniciação científica propõe a modelagem e implementação de um Hardware especificamente projetado para realizar testes numéricos da conjectura de Collatz (também conhecido como problema $3x+1$). Com os dados que serão apresentados no decorrer deste trabalho tenta-se justificar e exemplificar a melhora significativa de performance na execução dos testes quando comparado a soluções desenvolvidas unicamente em Software, executados em computador de propósitos gerais.

Palavras-chave:

Collatz, Alto-Desempenho, FPGA.

Introdução

Conjectura de Collatz afirma que ao submeter um valor n as seguintes operações: $n/2$, sendo n um valor par ou $3n+1$, caso n seja um valor ímpar. Se os resultados dessas operações forem submetidos pelo mesmo processo, será visto que após algumas repetições os valores convergem para o Ciclo Trivial $(4,2,1,4,2,1\dots)$. O objetivo deste trabalho é implementar este problema em Hardware em FPGA a fim de aumentar a quantidade de valores testados até hoje da forma mais otimizada possível. E comparar os resultados com as soluções em Software e assim entender as vantagens e desvantagem do método empregado.

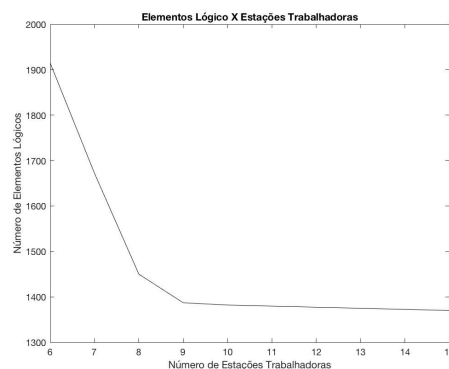
Resultados e Discussão

O método pensado para resolver este problema foi desenvolver várias estações, e nelas haveria componentes responsáveis por descobrir a paridade do número e reproduzir a sequência de forma a descobrir se o valor convergia (chamados de Trabalhadores), também um componente responsável por receber uma faixa de valores e dividi-los entre os Trabalhadores (chamado de Controlador).

Tendo isso pronto buscou-se o ponto ótimo do número de trabalhadores por controlador para faixa de valores estudada, e para que assim fosse possível utilizar a FPGA na sua máxima eficácia.

Tendo isso pronto foi comparado o tempo do processo com algumas soluções em Software, e percebendo que o tempo ganho na aplicação em Hardware era muito grande.

Enquanto a solução mais rápida em Software testado(em C) resolvia a faixa de valores 4245 segundos, a solução em Hardware resolvia em 48 segundos.



Conclusões

Após a comparar os resultados obtidos pode-se perceber uma significativa vantagem de ganho no tempo da solução em Hardware em relação a Software, o que pode justificar a utilização de Hardware para certos problemas. O ganho significativo se justifica pelos processos que um computador de propósitos gerais tem que fazer a mais (seja relacionado ou não com o projeto em execução) do que um projeto puramente em Hardware, por isso que mesmo com uma frequência de clock relativamente menor o projeto na FPGA se mostrou muito mais eficaz.

J. C. Lagarias, "The Ultimate Challenge: The $3x+1$ Problem", {American Mathematical Society}, 2011.