



E190

BLITZ: SIMULADOR DO PROCESSADOR DLX UTILIZANDO SYSTEMC E ARCHC

Marcio Rogério Juliato (Bolsista FAPESP) e Prof. Dr. Paulo Cesar Centoducatte (Orientador), Instituto de Computação – IC, UNICAMP

Atualmente o desenvolvimento de sistemas computacionais tem empregado engenheiros de sistemas e *software* programando em C/C++ e engenheiros de *hardware* trabalhando em VHDL e Verilog, causando problemas de integração e depuração. Dessa forma o projeto de sistemas tem demandado uma linguagem única, como SystemC, o qual é uma biblioteca em C++ voltada para descrição de tais sistemas. Como extensão do SystemC está-se desenvolvendo, no LSC – IC, o ArchC, cujo propósito é servir como uma linguagem de descrição de processadores com nível de abstração suficientemente alto para poder guiar ferramentas de *software* no redirecionamento automático do *back end* de um compilador e gerar simuladores com precisão de ciclos (*cycle-accurate*). Como o desenvolvimento do ArchC está utilizando o processador DLX para validação de sua sintaxe e funcionalidades, fez-se necessário o desenvolvimento de um simulador para o mesmo, possibilitando a execução de testes e depuração do modelo em ArchC através de comparações com o modelo em SystemC do processador. Para o desenvolvimento do simulador em SystemC realizou-se um estudo aprofundado da microarquitetura do processador DLX. Utilizando os recursos de modelagem de conjunto de instruções e de *pipelines* presentes em ArchC, está-se desenvolvendo um simulador com precisão de ciclos.

Arquitetura de Computadores – Compiladores - Simuladores