

T1409

MODELAGEM DO PROCESSADOR MIPS EM ARCHC RTL

Marcelo Keith Matsumoto (Bolsista PIBIT/CNPq) e Prof. Dr. Rodolfo Jardim de Azevedo (Orientador), Instituto de Computação - IC, UNICAMP

No ciclo de desenvolvimento de dispositivos móveis (como celulares e PDAs), a confecção de seus processadores possui altos custos e tempos de desenvolvimento. Dessa forma, para que aplicações possam ser testadas nesses dispositivos antes do aparelho estar completamente pronto, foram criadas plataformas virtuais que simulam as funcionalidades de um processador físico, para que, ao ser lançado no mercado, o aparelho já tenha aplicações disponíveis. O projeto de iniciação científica trabalha com o ArchC. Uma linguagem de descrição de arquitetura de processadores com um alto nível de abstração. Este trabalho atualizou o modelo comportamental e criou os modelos multi-ciclo e pipeline do processador MIPS. A corretude da modelagem comportamental foi testada em programas em C através de *asm inline* para cada instrução do processador. Os modelos em multi-ciclo e pipeline foram implementados e ainda estão em fase de teste. Estes dois últimos modelos necessitam de um outro fluxo de desenvolvimento (o acRTL), os testes são mais difíceis de serem realizados, demandando mais tempo e ferramental. De uma forma geral, o projeto de iniciação foi importante para entender o conceito de um processador e entender o funcionamento de uma ferramenta de simulação de hardware.

Arquitetura de computadores - Projeto de circuitos - Hardware